

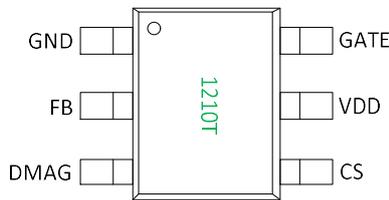


MX1210T application note

时间：2021/04/18

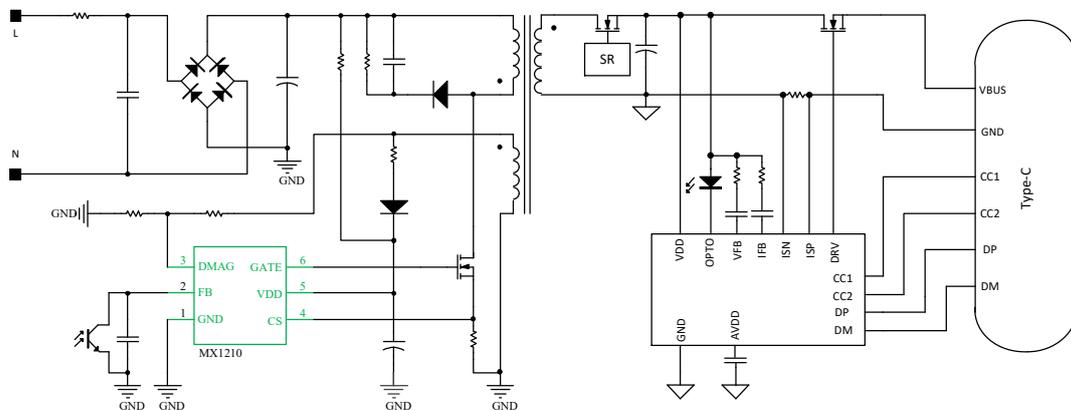


引脚定义



PIN NO.	PIN name	Description
1	GND	Ground pin.
2	FB	Feedback input pin. The PWM duty cycle is determined by voltage level into this pin and current-sense signal CS pin.
3	DMAG	Demagnetization input. Input and output voltages are sensed from the auxiliary winding.
4	CS	Current sense pin, connect resistors to ground external for cycle-by-cycle current limiting.
5	VDD	Power supply.
6	GATE	Gate driver for external MOSFET.

典型应用

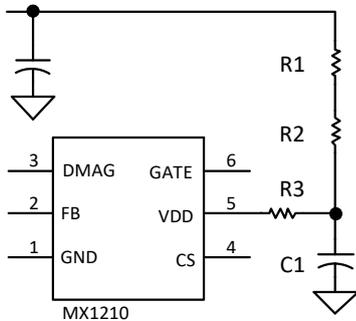


主要特点

1. 65kHz满载工作频率
2. 谷底检测准谐振工作
3. 空载跳频降低待机功耗
4. 频率抖动降低EMI
5. 内置4ms软起动降低DS应力
6. 内置斜坡补偿降低次谐波振荡
7. VDD保护:UVLO_ON/OVP
8. 逐周期过流保护检测
9. 输出过压、欠压保护/输出短路保护
10. 次级整流管短路保护/CS电路开路保护
11. 输入线电压Brown-Out
12. 外部温度保护, external OTP



VDD相关器件选取



关于VDD

MX1210的VDD建议工作范围为9-48V，适合PD快充等宽输出应用，启动电压为16.2V，VDD_OVP为52V，触发后进入Latch状态

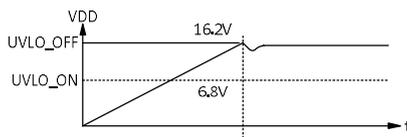
1.启动电阻的选取可以按照满载下要求的启动时间进行计算，大约计算公式如下

$$\frac{C1 \times UVLO_OFF \times (R1 + R2)}{90 \times \sqrt{2} - 30} \leq 0.9 \times 3s$$

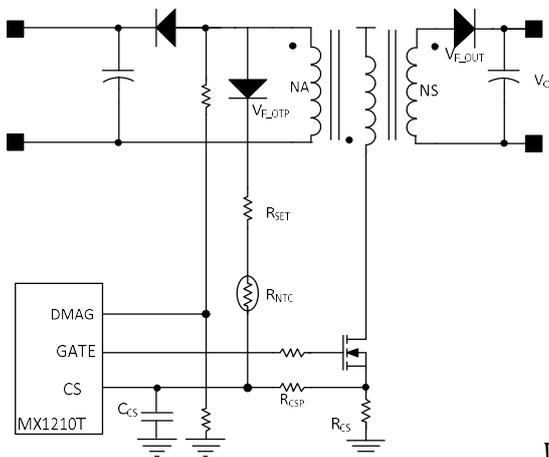
上式中，C1建议取值4.7uF，UVLO_OFF为16.2V (typical)，那么可以得出R1+R2阻值约为3.5M，建议用两个1206封装的1.8M电阻。

2.如果采用交流端取电作为启动，待机功耗会降低8-15mW

3.MX1210的管脚ESD实际测试大于等于3kV，为了增加系统ESD，尤其是VDD部分的ESD，可以在C1与VDD引脚之间增加ESD电阻，建议取值10~30ohm，如图所示R3



CS相关器件选取



CS做外部OTP保护

MX1210的CS引脚在MOSFET关断时，可以作为外部OTP的保护，其内部阈值为0.8V (typical)。

当主MOSFET关断时，辅助绕组的电压为正电压，经过快恢复二极管后经过R_SET、R_NTC以及R_CSP+R_CS进行分压，与内部的V_CS_EXOTP (0.8V) 进行比较，当其分压值小于0.8V时，系统进入外部OTP保护，保护之后进入Latch状态，不会自动重启。计算公式如下

$$V_{CS_EXOTP} = \left[\frac{N_A}{N_S} \times (V_O + V_{F_OUT}) - V_{F_OTP} \right] \times \frac{R_{CSP} + R_{CS}}{R_{SET} + R_{NTC} + R_{CSP} + R_{CS}}$$

其中，R_NTC为触发温度保护时的NTC对应电阻值

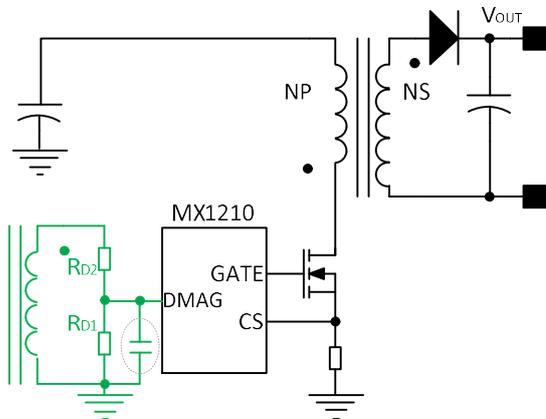
由于在快充或宽输出适配器中，输出电压等级较多，Vo应该选取最高输出电压，防止低输出电压时误触发导致系统失常。延迟时间为49ms。

另外，次级整流管短路，VCS检测超过1.2V时，进入保护，延迟8个开关周期。

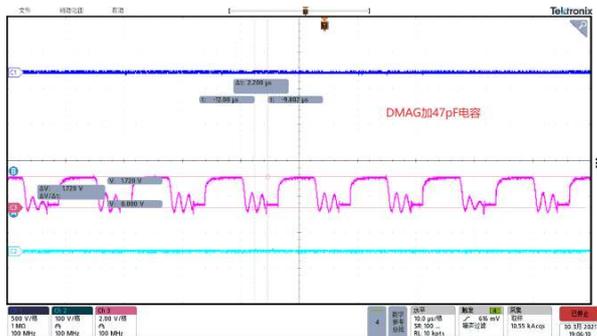
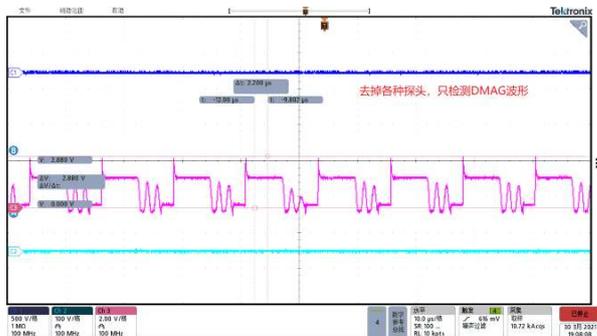
关于CS

CS引脚的极限范围为-0.3V~7V，任何的尖峰或负电压毛刺都会影响甚至损坏引脚，导致系统失常，所以建议在CS电阻与CS引脚之间增加RC滤波，建议取值为1k+47pF组合，或者510R+100pF组合，如果取值过大会影响过流点

DMAG相关功能及器件选取



DMAG引脚的下电阻建议并联15-47pF的电容主要用于防止对DMAG引脚的干扰，导致内部采样错误，出现系统失常现象，另外也可以保护DMAG引脚免遭尖峰击穿，由下面的图可以看到，在DMAG下电阻并联47pF电容后，其尖峰荡然无存，系统更加稳定，另外**建议DMAG分压走线远离VDS走线**



DMAG实现的功能

1. 输入线电压Brown-out保护，实现方式为，在主MOSFET导通时，辅助绕组NA的电压为负值，具体的值为 $-\frac{N_A}{N_P} \times V_{IN} = V_{AUX}$ ，此时DMAG引脚内部钳位0V，那么DMAG脚经过 R_{D2} 流出电流，当输入电压下降到 V_{IN_BNO} ，此电流小于 $130\mu A$ (typical) 时，进入brownout保护，根据以上， R_{D2} 的取值如下：

$$R_{D2} = \frac{0 - V_{AUX}}{130\mu A} = \frac{N_A \times V_{IN_BNO}}{N_P \times 130\mu A}$$

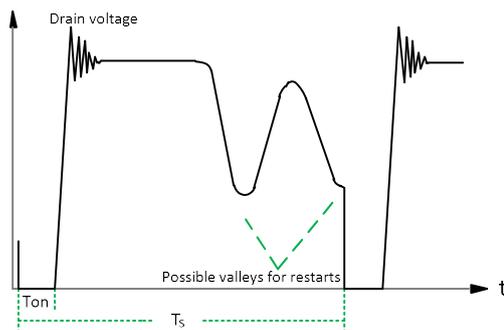
2. 输出过压、欠压及短路保护，实现方式为主MOSFET关断时，辅助绕组电压为正，通过 R_{D2} 和 R_{D1} 的分压与内部的基准进行比较，欠压阈值为0.35V，启动过压阈值为1.0V，启动后过压阈值为2.15V；在快充应用中对应5V档的OVP假设为6.2V，那么12V档的OVP为13.33V，而输出欠压保护为2.17V，输出过压保护之后，系统进入Latch状态。

根据以上分析，可以得出 R_{D1} 的取值如下

$$\frac{R_{D1}}{R_{D1} + R_{D2}} \times \frac{N_A}{N_S} \times (V_{OVP} + V_F) = 1.0V$$

如果输出电压为固定值，那么 R_{D1} 的取值应该满足 $0.35V < V_{DMAG} < 1.0V$

短路保护与欠压保护功能相同，都是输出电压下降后，延迟12ms进入可自恢复的保护，这一点不同于传统的FB_OLP保护延迟60ms





调试过程中的相关问题分析

无输出状态，或者输出瞬间电压掉下来

1.查看VDD波形

A、如果VDD波形从上电开始一直无法达到16.2V的UVLO_OFF，那么请检测启动电阻、VDD电容和芯片VDD引脚是否由虚焊、短路、或损坏的情况；

B、如果VDD波形达到16.2V后迅速下降到后不再重启，那么系统进入Latch状态，请检查外部OTP，VDD_OVP，如果不是以上两者，那么是VO_OVP，此时适当将DMAG脚下电阻调小；

C、测试VDD到达16.2V时的DMAG波形，测量负压值除以DMAG上电阻是否大于130uA，尝试将输入电压调高，确认后将DMAG上电阻调小；

D、测试VDD启动后的开关波形，如果开关波形持续12ms左右关断重启，那么请检测输出是否有短路，另外检测DMAG下电阻是否太小触发了VO_UVP；

E、测试CS波形，如果在VDD启动后VCS超过1V，那么请检查次级肖特基或这同步整流MOSFET是否存在短路

F、同上，如果VDD启动后CS没有波形，但是VDD处于不断重启的状态，请检查CS电阻是否有虚焊或者损坏断开的情况

G、FB电压5.2V，处于开环状态，检查光耦是否虚寒或者损坏，检查是否触发上述保护

工作过程中的相关问题分析

1.低压输入满载纹波过大

检查母线电压纹波是否过大，输入电解电容太小，触发了最大占空比

2.整机满载煲机过程中无输出

检查过流点是否太低，导致高温过流点触发OCP，或者所选器件裕量较小触发OTP

3.动态响应较差

尝试将过流点增加，建议过流点为1.1倍以上

4.高压触发VO_OVP

测试DMAG的波形看空载尖峰时间是否超过1.6us，满载超过2.3us，如果尖峰时间较长，采样误判会导致输出OVP后进入Latch状态，建议在DMAG引脚并联10-47pF电容

